

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03126253 A**(43) Date of publication of application: **29 . 05 . 91**

(51) Int. Cl.

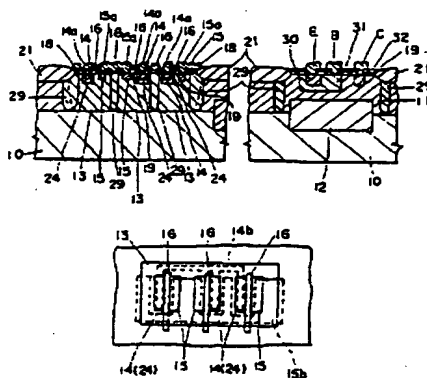
H01L 27/06(21) Application number: **01264414**(22) Date of filing: **11 . 10 . 89**(71) Applicant: **HITACHI LTD HITACHI MICRO
COMPUT ENG LTD**(72) Inventor: **NISHIMURA KENJI
AKAMATSU YOSHINORI
OGURA SADA0**(54) **SEMICONDUCTOR DEVICE**

COPYRIGHT: (C)1991,JPO&Japio

(57) Abstract.

PURPOSE: To suppress the operation of a parasitic N-P-N transistor by setting the concentration of the drain of an NMOS at a value higher than the concentration of the source.

CONSTITUTION: A P well 13 is formed on a P-type semiconductor substrate 10 at a part where a high breakdown-strength NMOS is formed. Meanwhile, an N⁺ type embedded layer 12 and an N-type epitaxial layer 11 which is grown on the N⁺ embedded layer 12 are formed on the surface of the P-type semiconductor substrate 1 other than the P well 13. High-concentration N-type drain and source diffused layers 14 and 15 constituting an NMOS are formed on the P well 13 in the aligned pattern. A high-concentration N-type diffused layer 24 is overlapped and formed on the N-type drain diffused layer 14 among the drain and source layers. NMOS gates 16 comprising, e.g. polysilicon are arranged on a gate insulating film 19 between the drain and source diffused layers 14 and 15. All the NMOS gates 16 are formed in a linear state.



RECEIVED
JAN - 5 - 2001
TC 2800 MAIL ROOM

⑫ 公開特許公報(A) 平3-126253

⑬ Int.Cl.

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)5月29日

H 01 L 27/06

7735-5F

H 01 L 27/06

3 2 1 A

審査請求 未請求 請求項の数 5 (全7頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-264414

⑰ 出 願 平1(1989)10月11日

⑱ 発 明 者 西 村 健 二 東京都小平市上水本町5丁目22番1号 日立マイクロコンピュータエンジニアリング株式会社内

⑱ 発 明 者 赤 松 由 規 東京都小平市上水本町5丁目22番1号 日立マイクロコンピュータエンジニアリング株式会社内

⑱ 発 明 者 小 倉 節 生 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 出 願 人 日立マイクロコンピュータエンジニアリング株式会社 東京都小平市上水本町5丁目22番1号

⑳ 代 理 人 弁理士 大日方 富雄

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. NMOS構造を含む半導体装置において、NMOSのドレイン領域をソース領域より高濃度としたことを特徴とする半導体装置。
2. CMOS構造を含む半導体装置において、NMOSゲートをリニヤ状に形成すると共に、同一Pウェル領域上において隣接するNMOSゲートとの間にPウェル領域の電位固定用のコンタクトを設けたことを特徴とする半導体装置。
3. CMOS構造を含む半導体装置において、NMOSを囲むPウェル領域とP型半導体基板とを直接接触させたことを特徴とする半導体装置。
4. 前記請求項1～3の少なくとも2つ以上を備えていることを特徴とする半導体装置。
5. NMOSを囲むPウェル領域と、このPウェル領域を他の回路素子に対して分離するための分離拡散層とを隣接したことを特徴とする特許請求

の範囲第4項記載の半導体装置。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、半導体装置に適用して有効な技術に関するもので、特に、CCDドライバーを構成するBI-CMOS構造の半導体装置に利用して有効な技術に関するものである。

[従来の技術]

BI-CMOS構造の半導体装置を出力回路として用いたものとしてCCD(Charge Coupled Device)ドライバーが知られており、このCCDドライバーにおいては、高耐圧MOSと低耐圧MOSとが備えられている。

この半導体装置における出力回路の高耐圧NMOS部の一例の要部を示したのが、第5図、第6図である。

第5図において、符号1はP型半導体基板を、2はこのP型半導体基板1表面に形成されるN⁺埋込層を、3はこのN⁺埋込層上に形成されるPウェルを、7はこのPウェル3を囲示されないP

MOSやバイポーラトランジスタに対して絶縁分離するためのP型アイソ分離拡散層をそれぞれ示しており、このPウェル3にはNMOSを構成する高濃度のN型ドレイン、ソース拡散層4、5が、第5図、第6図に示されるように交互に形成され、このドレイン、ソース拡散層4、5間のゲート絶縁膜9上にはNMOSゲート6がそれぞれ配設されている。上記Pウェル3内の端部にはP型ガードリング8が形成されており、このガードリング8は、例えばグランド電位に接続され、Pウェル3の電位を固定するようになっている。

ここで、上記半導体装置においては、高耐圧化を図るべく、高濃度のN型ドレイン、ソース拡散層4、5の内側には低濃度のN型拡散層4a、5aが形成されている。

また、上記半導体装置においては、W（ゲート長さ）/L（ゲート幅）を大きくすべくゲート長の長いゲートが用いられるが、高集積化を図るために、ドレイン、ソース拡散層4、5は交互に連続して並んで形成されており、所謂サンドイッチ

これは、ゲート6直下に生じる電界集中が大きくなり、ゲート6オン時のドレイン、ソース拡散層4、5間の耐圧の低下を、上記低濃度拡散層4a、5aでは防ぎきれないからだと考えられる。

また、NMOSを上述のようなサンドイッチ構造とした場合には、NMOSのバックゲートとなるPウェル3の電位固定用のガードリング8の配置場所がサンドイッチ部の外側しかなく、従ってWが大きくなるとゲート6の駆動幅が長くなりガードリング8と最遠部のゲートまでの距離が長くなってしまい、ドレイン拡散層4から基板1に流れ込む電流が小さくても、第7図に示されるような寄生NPNトランジスタがオンしてしまうことも一因と考えられる。特に、ゲート6が曲がって構成されていることから、その曲がりのためにガードリング8から遠くなっている部位においてはその長れは増々強くなる。

また、基板1とPウェル3との間のN⁺埋込層2が、ガードリング8からゲート6直下までの抵抗値を増大しており、寄生NPNトランジスタを

構造を採用している。

また、上記半導体装置においては、素子の無駄な面積をなくすと共にゲート長を短くすると、NMOSゲート6は曲がって配設されている（第6図においては図が煩雑になるのを避けるために直線として描かれている）。

なお、符号D、S、Gはドレイン電極、ソース電極、ガードリング電極をそれぞれ示しており、図が煩雑になるのを避けるために、PMOS及びバイポーラトランジスタについては省略されている。

〔発明が解決しようとする課題〕

しかしながら、上記半導体装置においては以下の問題点がある。

すなわち、上記構成の高耐圧NMOSにおいて、W/Lを、例えばW/L=1600/5とした場合には、BV_{ossmin}（ソース、ドレイン間のブレイクダウン電圧）が約7Vしかなく、所望とされる9V電源のCCDドライバーには使用できないという問題点があった。

オンしやすくしているという要因もある。

本発明に係る問題点に鑑みなされたものであって、高耐圧化が図られ、BV_{ossmin}の向上がなされる半導体装置を提供することを目的としている。

また、寄生NPNトランジスタの動作が抑止され、BV_{ossmin}の向上がなされる半導体装置を提供することを目的としている。

また、高耐圧化が図られると共に寄生NPNトランジスタの動作が抑止され、BV_{ossmin}の向上がなされる半導体装置を提供することを目的としている。

〔課題を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、第1発明は、NMOS構造を含む半導体装置において、NMOSのドレイン濃度をソース濃度より高くしたものである。

第2発明は、CMOS構造を含む半導体装置において、NMOSゲートをリニヤ状に形成すると

共に、同一Pウェル上において隣接するNMOSゲートとの間にPウェルの電位固定用のコンタクトを形成したものである。

第3発明は、CMOS構造を含む半導体装置において、NMOSを囲むPウェルとP型半導体基板とを直接コンタクトさせたものである。

第4発明は、上記第1～第3発明の少なくとも2つ以上を備えるものである。

【作用】

上記した第1発明の手段によれば、NMOSのドレイン濃度をソース濃度より高くするようにしたので、ゲート直下の電界集中が緩和されるという作用により、高耐圧化を図り、 BV_{DSSmin} の向上をなすという上記目的が達成されることになる。

上記した第2発明の手段によれば、NMOSゲートをリニヤ状に形成すると共に、同一Pウェル上において隣接するNMOSゲートとの間にPウェルの電位固定用のコンタクトを形成するようにしたので、リニヤ状のNMOSゲートに沿って形

成されるドレイン、ソース拡散層とPウェルコンタクトとの間の距離がそれぞれ均等に、しかも短くなるという作用により、寄生NPNトランジスタの動作を抑止し、 BV_{DSSmin} の向上をなすという上記目的が達成されることになる。

上記した第3発明の手段によれば、NMOSを囲むPウェルとP型半導体基板とを直接コンタクトさせるようにしたので、 N^+ 埋込層がなくなることによりPウェルの電位固定用のコンタクトからゲート直下までの抵抗値が低下するという作用により、寄生NPNトランジスタの動作を抑止し、 BV_{DSSmin} の向上をなすという上記目的が達成されることになる。

上記した第4発明の手段によれば、上記第1～第3発明の少なくとも2つ以上を備えるようにしたので、高耐圧化を図ると共に寄生NPNトランジスタの動作を抑止し、 BV_{DSSmin} の向上をなすという上記目的が達成されることになる。

【実施例】

以下、本発明の実施例を図面を参照しながら説

明する。

この実施例の半導体装置はBI-CMOS構造の半導体装置を出力回路としたCCDFライバであり、この実施例の半導体装置では、高耐圧MOSと低耐圧MOSとが備えられている。

この実施例の出力回路における高耐圧NMOS並びに同一チップ上に形成されるバイポーラトランジスタを示したのが、第1図、第2図である。

第1図において、符号10はP型半導体基板を示しており、高耐圧NMOSが形成される部位のP型半導体基板1上にはPウェル13が形成され、一方、それ以外のP型半導体基板1表面には N^+ 埋込層12並びにこの N^+ 埋込層12上に成長されるN型エピタキシャル層11が形成されている。上記Pウェル13にはNMOSを構成する高濃度のN型ドレイン、ソース拡散層14、15が並んで形成されており、このうちN型ドレイン拡散層14には高濃度のN型拡散層24が重ねて形成されている。このドレイン、ソース拡散層14、15間のゲート絶縁膜19上には、例えばポリシリ

コンよりなるNMOSゲート16が配設されており、このNMOSゲート16は、第2図に示されるように全てリニヤ状に形成されている。ドレイン、ソース拡散層14、15には、第2図に示されるようにパターニングされた、例えばアルミニウムよりなる配線14b、15bに接続されるドレイン、ソース電極14a、15aがそれぞれコンタクトしており、上記NMOSゲート16及びドレイン、ソース拡散層14、15がらなるNMOSの全体並びに各々は、Pウェル13に重ねて形成される高濃度のP型アイソ分離拡散層29により他の素子（同一基板上に形成されるバイポーラトランジスタや隣に形成されるNMOS）に対してそれぞれ分離された状態となっている。このP型アイソ分離拡散層29には、上記配線14b、15bに接続されるPウェル13の電位固定用電極18がそれぞれコンタクトしており、これら配線14b、15bは電源電圧に接続されている。すなわち、上記各NMOSはPウェル13の電位固定用電極18をそれぞれ備えた状態となってい

る。

一方、上記N型エピタキシャル層11表面には高濃度のN型エミッタ拡散層30、高濃度のP型ベース拡散層31、高濃度のN型コレクタ拡散層32がそれぞれ形成されており、これらによりバイポーラトランジスタが構成された状態となっている。この高濃度のN型エミッタ拡散層30と上記NMOSの高濃度のN型拡散層24とは同一マスクを用いて同時形成されるようになっており、工程の簡略化が図られるようになっている。

なお、符号21は素子分離を行なうためのLOCOS絶縁膜を、Eはエミッタ電極を、Bはベース電極を、Cはコレクタ電極をそれぞれ示している。

また、図面上においては、図が煩雑になるのを避けるためにPMOSは描かれていないが、上記NMOSやバイポーラトランジスタと同じ基板10上にN⁺埋込層12、N型エピタキシャル層11を介して形成されている。

このように構成される半導体装置によれば次の

6直下までの抵抗値が低下するという作用により、寄生NPNトランジスタの動作が抑止され、BV_{ossin}の向上がなされるようになる。

さらにまた、上記の少なくとも2つ以上を備えるようにしている（本実施例においては全てを備えるようにしている）ので、高耐圧化が図られると共に寄生NPNトランジスタの動作が抑止され、BV_{ossin}の向上がさらになされるようになる。

なお、本実施例によれば、NMOS全体を、同一基板上に形成されるバイポーラトランジスタ等の他の回路素子に対して絶縁分離する高濃度のP型アイソ分離拡散層（Pウェル13全体を圍繞するアイソ分離拡散層）29をPウェル13に重ねて形成しているため、このP型アイソ分離拡散層29上に形成されるPウェルコンタクト18からドレイン、ソース拡散層14、15までの距離が短くなっており、寄生NPNトランジスタの動作の抑止がさらに図られている。

因に、本発明者の実験によれば、 $W=1600$ とした場合に、BV_{ossin}が従来の7Vから1

ような効果を得ることができる。

すなわち、NMOSのドレイン濃度をソース濃度より高くするようにしたので、ゲート16直下の電界集中が緩和されるという作用により、高耐圧化が図られ、BV_{ossin}の向上がなされるようになる。

また、NMOSゲート16をリニヤ状に形成すると共に、同一Pウェル13上において隣接するNMOSゲート16との間にPウェル13の電位固定用の電極（コンタクト）18を形成するようにしたので、リニヤ状のNMOSゲート16に沿って形成されるドレイン、ソース拡散層14、15とPウェルコンタクト18との間の距離がそれぞれ均等に、しかも短くなるという作用により、寄生NPNトランジスタの動作が抑止され、BV_{ossin}の向上がなされるようになる。

また、NMOSを囲むPウェル13とP型半導体基板10とを直接コンタクトさせるようにしたので、N⁺埋込層がなくなることによりPウェル13の電位固定用のコンタクト18からゲート1

2V以上に引き上げられることが確められた。

このように、本実施例の半導体装置においては、BV_{ossin}を12V以上に引き上げることができるので、従来BV_{ossin}が7V程度しかなかったために2チップで構成しなければならなかったCCDドライバを1チップ化することができ、機器の小型化を図ることも可能になっている。

また、本実施例の出力回路においては、高駆動力とするために、 $W/L=1600/5$ 、 $2600/5$ というNMOSが用いられているが、NMOSのWを1600とした場合には、PMOSのWは3200となり、レイアウト面積が大きくなってしまいますので、本実施例においては高集積化を図るべく、第3図に示されるような出力回路を採用している。

この出力回路においては、占有面積の大きいPMOSをNPNトランジスタ50に置き換え、高駆動化が図られるようになっており、しかもNPNトランジスタ50の前にNPNトランジスタ50とNMOS51の動作を反転させるためのインバ

ータ52を配置する構成としていることから、NPNトランジスタ50とNMOS51が同時にオンする時間がなくなっており、低消費電力化が図られるようになっている。

すなわち、上記出力回路においては、 BV_{DSSmin} の向上が図られる他にも、高速化、高駆動力化、高集積化、低消費電力化が図られるようになっている。

図に、本発明者の実験によれば、10pFの負荷を10MHzで駆動でき、しかも消費電力はバイポーラのみで出力回路を構成した場合の1/5～1/10の80mW程度となり、さらにレイアウト面積もCMOSのみで出力回路を構成した場合の1/3～1/4程度に収まることが確認された。

このように、本実施例の半導体装置においては、低消費電力化が可能になるので、ハンディタイプのCCDを使ったVTRカメラ等においては、撮影時間を長くすることができ、従って機器の高付加価値化を図ることも可能になっている。

また、この実施例の半導体装置が先の実施例のそれと違う第2の点は、Pウェル13とP型半導体基板10との間に高濃度P型アイソ分離埋込層25を挿入した点である（本実施例においてはN⁺埋込層12も挿入されている）。

このように構成しても、ドレイン拡散層14からの漏れ電流並びに抵抗を低減できることになるので、 BV_{DSSmin} の向上を図ることが可能になる。

また、この実施例の半導体装置が先の実施例のそれと違う第3の点は、Pウェル13の端部に重ねて形成されるPウェル13の電位固定用のアイソ分離層42を、バイポーラトランジスタのベース拡散層31と同時に形成した点である。

このように構成すれば、工程がさらに簡略化されることになる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもな

第4図には本発明に係る半導体装置の他の実施例が示されている。

この実施例の半導体装置が先の実施例のそれと違う第1の点は、Pウェル13と、このPウェル13を同一基板上に形成されるバイポーラトランジスタ等の他の回路素子に対して分離する高濃度のP型アイソ分離拡散層（Pウェル13全体を圍繞する位置に形成される高濃度P型アイソ分離拡散層）17とを離間した点である。

ここで、先の実施例のように、高集積化を図るべく、Pウェル13と上記Pウェル13全体を圍繞する位置のアイソ分離拡散層29を重ねて形成すると、Bi-CMOS回路においてはリニア回路とデジタル回路が混在するために、デジタル部のグランド電位の揺れが小信号を取り扱うリニア回路に悪影響を与えクロストークを発生する可能性があるが、この実施例のように、Pウェル13とPウェル13全体を圍繞する位置のアイソ分離拡散層17とを離間してあれば上記両者のクロストークを抑止することが可能になる。

い。

なお、本発明は、 BV_{DSSmin} を12V以上にし得ることから、CCDドライバーを構成するBi-CMOSに対して適用するのが特に有効であるが、CCDドライバー以外のものを構成するBi-CMOSに対しても勿論適用可能であり、要はNMOSを備える半導体装置全てに対して適用可能である。

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、第1発明によれば、NMOS構造を含む半導体装置において、NMOSのドレイン側をソース側より高くするようにしたので、ゲート直下の電界集中が緩和されるようになる。その結果、高耐圧化が図られ、 BV_{DSSmin} の向上を図ることが可能になる。

第2発明によれば、CMOS構造を含む半導体装置において、NMOSゲートをリニヤ状に形成

すると共に、同一Pウェル上において隣接するNMOSゲートとの間にPウェルの電位固定用のコンタクトを形成するようにしたので、リニヤ状のNMOSゲートに沿って形成されるドレイン、ソース拡散層とPウェルコンタクトとの間の距離がそれぞれ均等に、しかも短くなる。その結果、寄生NPNトランジスタの動作が抑止され、 BV_{DSSmin} の向上を図ることが可能になる。

第3発明によれば、CMOS構造を含む半導体装置において、NMOSを囲むPウェルとP型半導体基板とを直接コンタクトさせるようにしたので、 N^+ 埋込層がなくなることによりPウェルの電位固定用のコンタクトからゲート直下までの抵抗値が低下するようになる。その結果、寄生NPNトランジスタの動作が抑止され、 BV_{DSSmin} の向上を図ることが可能になる。

第4発明によれば、上記第1～第3発明の少なくとも2つ以上を備えるようにしたので、高耐圧化が図られると共に寄生NPNトランジスタの動作が抑止され、 BV_{DSSmin} の向上をさらに図る

ことが可能になる。

4. 図面の簡単な説明

第1図は本発明に係る半導体装置の実施例の要部の縦断面図、

第2図は第1図中のNMOSの上面図、

第3図は本発明に係る半導体装置の実施例の等価回路図、

第4図は本発明に係る半導体装置の他の実施例の要部の縦断面図、

第5図は従来技術に係る半導体装置の要部の縦断面図、

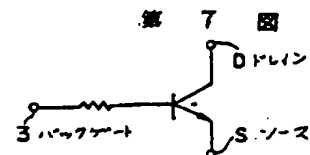
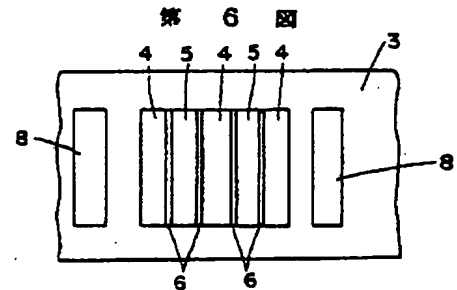
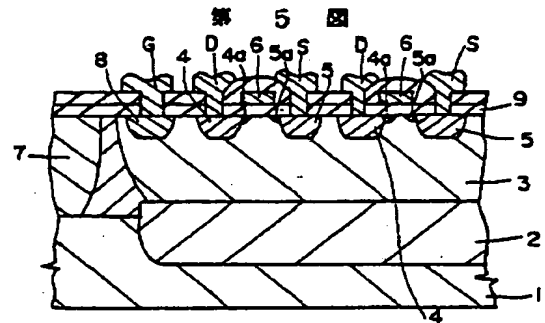
第6図は第5図の上面図、

第7図は寄生NPNトランジスタの等価回路図である。

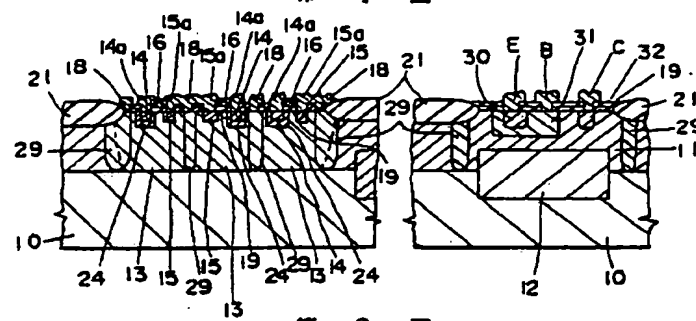
10・・・P型半導体基板、13・・・Pウェル、14・・・NMOSのドレイン拡散層、15・・・NMOSのソース拡散層、16・・・リニヤ状のNMOSゲート、17・・・Pウェルを他の回路素子に対して分離するアイソ分離拡散層、18・・・Pウェルの電位固定用のコンタクト(電極)、

24・・・NMOSのドレイン拡散層に重ねて形成される拡散層。

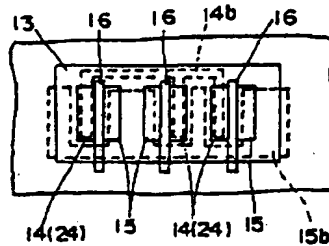
代理人 弁理士 大日方富雄



第 1 図

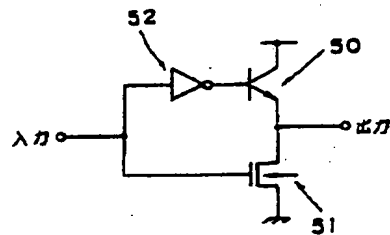


第 2 図



- 10 - P型半導体基板
- 13 - Pウェル
- 14 - NMOSのドレイン拡散層
- 15 - NMOSのソース拡散層
- 16 - リニヤ化のNMOSゲート
- 17 - Pウェル内でのNMOSトランジスタに形成されるコンタクト電極
- 18 - Pウェル内でのNMOSトランジスタに形成されるコンタクト電極
- 24 - NMOSのドレイン拡散層に電極が形成される拡散層

第 3 図



第 4 図

